机密★启用前

2022年4月高等教育自学考试全国统一考试

数字系统设计与PLD应用技术

（课程代码　10783）

注意事项：

1．本试卷分为两部分，第一部分为选择题，第二部分为非选择题。

2．应考者必须按试题顺序在答题卡（纸）指定位置上作答，答在试卷上无效。

3．涂写部分、画图部分必须使用2B铅笔，书写部分必须使用黑色字迹签字笔。

第一部分　选择题

一、单项选择题：本大题共15小题，每小题1分，共15分。在每小题列出的备选项中只有一项是最符合题目要求的，请将其选出。

1．下列选项中，不属于IP核的类型的是

A．软核　　B．硬核

C．微处理器核　　D．固核

2．绝大多数FPGA器件都是基于下列哪种结构实现

A．乘积项　　B．查找表

C．ROM　　D．与或阵列

3．Verilog HDL是在下列哪种语言的基础上发展起来的

A．机器语言　　B．汇编语言

C．高级语言　　D．C语言

4．关键字posedge表示

A．上升沿　　B．下降沿

C．0　　D．1

5．下列标识符哪个是不正确的

A．adder1　　B．sub_

C．mux21　　D．1decode

6．下列选项中，不属于Verilog HDL中的逻辑状态的是

A．0　　B．1

C．低阻　　D．高阻

7．存储器定义语句reg[7:0] mymemory[63:0]，每个单元宽度是

A．7　　B．8

C．63　　D．64

8．已知a=5'b10001，b=5'b10101，则a^ b的结果是

A．5'b00100　　B．5'b00101

C．1　　D．0

9．下列选项中，不属于Verilog HDL模型的抽象级别的是

A．系统级　　B．算法级

C．硬件级　　D．开关级

10．在Verilog HDL端口声明中，不用于声明端口的关键词的是

A．input　　B．output

C．inout　　D．tristate

11．Altera的产品MAX7000系列属于

A．FPGA　　B．CPLD

C．GAL　　D．PLA

12．Quartus II的设计工程不需要设定

A．工作目录　　B．添加设计文件

C．目标器件　　D．编程下载

13．已知c=1'b1，a=4'b1001，b=4'b0100，若d=(c)?a:b，则d的值为

A．4'b1001　　B．4'b0100

C．1　　D．0

14．已知a=5'b11001，b=5'b10101，则a&&b的结果是

A．5'b10001　　B．5'b10101

C．1　　D．0

15．若a=5'b11011，则a<<2的结果是

A．5'b11011　　B．5'b01100

C．5'b00110　　D．5'b01111

二、多项选择题：本大题共5小题，每小题2分，共10分。在每小题列出的备选项中至少有两项是符合题目要求的，请将其选出，错选、多选或少选均无分。

16．硬件描述语言进行电路设计的突出优点有

A．便于复用和交流　　B．设计与工艺无关

C．方便保存和修改　　D．适合大规模电路

E．模块化

17．Verilog HDL 程序包括

A．模块声明　　B．端口定义

C．结构体描述　　D．信号类型声明

E．逻辑功能描述

18．任务和函数的区别有

A．任务只可在过程语句调用　　B．函数可以作为表达式中的一个操作数

C．任务可以调用函数　　D．函数可以调用任务

E．任务没有返回值

19．Verilog HDL 中的变量可分为的数据类型有

A．net　　B．double

C．float　　D．variable

E．char

20．下列 Verilog 标识符中，合法的标识符有

A．c1_b1　　B．alu$

C．b3_*　　D．1adder

E．_mux

第二部分　非选择题

三、程序填空题：本大题共 2 小题，每小题 5 分，共 10 分。

21．按要求完成计数器程序填空。

```
module Johnson(clk,clr,qout);
            ①_____ //声明 clk,clr 为输入
output reg[3:0] qout;
always@    (②_____)//列出敏感信号
begin if (clr)  ③_____ //计数器清零
    else begin ④_____ //左移一位
            ⑤_____// 最高位取反，然后赋值给最低位
          end     end
endmodule
```

22．4 选 1 数据选择器程序如下，完成填空。

```
module   mux41(out,in0,in1,in2,in3,sel);
①_____; //声明 in0,in1,in2,in3 为输入
input[1:0] sel;
```



```
②_____;//声明 out 为输出
always @(in0 or in1 or in2 or in3 or sel)
case(sel)
    'b00 : out=in0;
    ③_____; //选中 in1 到输出
    'b10 : out=in2;
    'b11 : out=in3;
    ④_____; //缺省项，输出为未知电平
    ⑤_____// case 语句结束
endmodule
```

四、名词解释题：本大题共 5 小题，每小题 3 分，共 15 分。

23．CPLD

24．ASIC

25．JTAG

26．EDA

27．Synthesis

五、简答题：本大题共 4 小题，每小题 5 分，共 20 分。

28．功能仿真和时序仿真有什么差别？

29．过程赋值语句有哪两种方式，各有什么特点？

30．简述基于 FPGA 的数字系统设计流程。

31．FPGA 和 CPLD 在结构上有什么明显区别，各有什么特点？

六、程序设计：本大题共 3 小题，每小题 10 分，共 30 分。

32．设计一个 1 位全加器。

33．用函数定义一个 8-3 优先编码器。

34．设计实现一个简单微处理器，根据输入的指令，能实现四种操作，分别为两数相加，两数相减，操作数加 1、操作数减 1。操作码和操作数均从输入指令中提取。操作指令一共 18 位，最高两位为操作码，低 8 位是第一个操作数，中间 8 位为第二个操作数。