

2022 年 10 月高等教育自学考试全国统一考试

数字系统设计与 PLD 应用技术

(课程代码 10783)

注意事项:

1. 本试卷分为两部分，第一部分为选择题，第二部分为非选择题。
2. 应考者必须按试题顺序在答题卡（纸）指定位置上作答，答在试卷上无效。
3. 涂写部分、画图部分必须使用 2B 铅笔，书写部分必须使用黑色字迹签字笔。

第一部分 选择题

一、单项选择题：本大题共 15 小题，每小题 1 分，共 15 分。在每小题列出的备选项中只有一项是最符合题目要求的，请将其选出。

1. 把适配后生成的编程文件装入到 PLD 器件中的过程称为

A. 综合	B. 布局
C. 布线	D. 下载
2. 以下 PLD 器件中属于高密度 PLD 的是

A. CPLD	B. PLA
C. PAL	D. GAL
3. 以下 PLD 的种类中，不是采用乘积项结构的是

A. PROM	B. PLA
C. CPLD	D. FPGA
4. 3 个输入变量的查找表需要 SRAM 的存储容量位数是

A. 3	B. 8
C. 16	D. 32
5. FPGA 的基本结构是

A. 函数发生器	B. 门电路
C. 查找表	D. 乘积项

6. Quartus II 用于仿真的文件是矢量波形文件，文件的后缀名是

A. .v	B. .vwf
C. .qpf	D. .bdf
7. 下列用户定义的标识符中，错误的是

A. add	B. counter10
C. _counter10	D. 10counter
8. 以下关于 variable 数据类型的说法，错误的是

A. real 类型不可综合
B. reg 类型不一定会综合成寄存器或者触发器
C. integer 类型可以按位访问
D. variable 型变量必须放在过程语句中赋值
9. 以下数据类型，可以综合的是

A. tri	B. wand
C. wor	D. time
10. 逻辑非的运算符是

A. !	B. ~
C. ~	D. ^
11. 4'b1001 & 4'b1101 的结果是

A. 1'b0	B. 1'b1
C. 4'b1001	D. 4'b1101
12. 若 A=4'b1101；B=4'b1001；执行 A|B 的结果是

A. 4'b1101	B. 4'b1001
C. 4'b1111	D. 1'b1
13. 若 A=5'b11001，则以下运算错误的是

A. &A=0	B. A=1
C. ~&A=1	D. ~ A=1
14. 为实现下列功能：sel=0 时 out=in0；sel=1 时 out=in1，用条件运算符可表示为

A. out=sel?in0:in1	B. out=(sel==1)?in0:in1
C. out=sel?in1:in0	D. out=(!sel)?in1:in0
15. 如果 A=4'b1101，B=4'b0110，则 {{A[3:2]}, {B[1:0]}} 的值等于

A. 4'b1101	B. 4'b1110
C. 4'b0110	D. 4'b0111

二、多项选择题：本大题共 5 小题，每小题 2 分，共 10 分。在每小题列出的备选项中至少有两项是符合题目要求的，请将其选出，错选、多选或少选均无分。

16. 创建 Quartus II 工程的步骤包括

- A. 将设计文件加入工程
- B. 选择综合器和仿真器
- C. 选择目标器件
- D. 编译
- E. 仿真

17. 以下关于 Verilog 模块的表述中，正确的有

- A. Verilog 程序的基本设计单元是模块
- B. 可以定义双向端口
- C. 一行可以写多个语句
- D. 所有语句都必须以分号结尾
- E. 应尽量减少注释

18. 以下关于 Verilog 语法的描述中，正确的有

- A. 模块声明包括模块名、输入列表、输出列表
- B. 语句 `and a3(out,a,b,c);` 调用的是开关级元件
- C. 如果信号的数据类型没有定义，综合器将其默认为 wire 型
- D. 逻辑功能可以用 assign 语句来描述
- E. 端口是模块与外界连接和通信的接口

19. 以下关于 Verilog 语法要素的描述，正确的有

- A. 空白符在综合时被忽略
- B. 多行注释以 “`*`” 开始，以 “`*`” 结束
- C. 标识符第一个字符可以是 “\$”
- D. 标识符区分大小写
- E. 不允许用关键词作为标识符

20. 以下关于任务和函数的描述，正确的有

- A. 任务可以在 assign 语句中调用
- B. 任务可以包含定时和事件控制语句
- C. 任务可以调用其他任务和函数
- D. 函数可以调用任务
- E. 函数可以向表达式返回值

第二部分 非选择题

三、程序填空题：本大题共 2 小题，每小题 5 分，共 10 分。

21. 以下是一个 BCD 码加法器，请把程序补充完整。其中 `ina,inb` 是两个加数，`cin` 是进位输入。`sum` 是和，`cout` 是进位输出。BCD 码加法器需要保证加数、和都是 BCD 码，也就是处于 0000~1001 范围内。

```
module add4_bcd(cout,sum,ina,inb,cin);
    input cin;
    input[3:0] ina,inb;
```

```
    output[3:0] sum;
    _____①_____
    output cout; reg cout;
    reg[4:0] temp;
    _____②_____
    //敏感信号表达式
    begin
        _____③_____
        //实现加法;
        if(temp>9)
            _____④_____
            //加法结果超过 9 需要加 6 做 BCD 码调整
        else
            _____⑤_____
    end
endmodule
```

22. 以下是一个 8 位二进制可逆计数器，请把程序填写完整。

```
module up_down_counter(d,clk,clear,load,up_down,qd);
    input clk,clear,load,up_down;
    input[7:0] d;
    output[7:0] qd;
    reg[7:0] cnt;           //cnt 用于暂存计数值
    always @ (posedge clk)
        begin
            if(!clear)
                _____①_____
                //同步清 0，低电平有效
            else if(load)
                _____②_____
                //同步置数
            else if(up_down)
                _____③_____
                //加法计数
            else
                _____④_____
                //减法计数
        end
    _____⑤_____
    //将计数值输出;
endmodule
```

四、名词解释题：本大题共 5 小题，每小题 3 分，共 15 分。

23. Top-down design

24. ISP

25. 布局布线

26. CPLD

27. 功能仿真

五、简答题：本大题共 4 小题，每小题 5 分，共 20 分。

28. IP 核分为哪几种类型？各自表现形式分别是什么？

29. 指出 Verilog HDL 中四种类型的循环语句，并简述其特点。

30. 简述典型 CPLD 结构的主要部件及其作用。

31. 简述 Quartus II 的波形仿真步骤。

六、程序设计：本大题共 3 小题，每小题 10 分，共 30 分。

32. 带同步清 0/同步置 1 的 JK 触发器，其中 JK 触发器的功能表如下所示。时钟信号为 clk，上升沿有效。清零输入端为 rs，置数输入端为 set，都是低电平有效。

清零输入	置数输入	J 输入端	K 输入端	输出
rs	set	j	k	q
0	x	x	x	0
1	0	x	x	1
1	1	0	0	$q=q$
1	1	0	1	$q=0$
1	1	1	0	$q=1$
1	1	1	1	$q=\neg q$

33. 设计一个带数码管类型选择端的 BCD 码—7 段数码管的译码器。其中输入端为 d3, d2, d1, d0 用于输入 BCD 码，d3 是高位，d0 是低位。输出端是 a, b, c, d, e, f, g。当 sel=1 时，输出和 BCD 码关系如下表所示；当 sel=0 时，各输出端输出值与下表的输出值相反。

BCD 码	a	b	c	d	e	f	g
0	1	1	1	1	1	1	0
1	0	1	1	0	0	0	0
2	1	1	0	1	1	0	1
3	1	1	1	1	0	0	1
4	0	1	1	0	0	1	1
5	1	0	1	1	0	1	1
6	1	0	1	1	1	1	1
7	1	1	1	0	0	0	0
8	1	1	1	1	1	1	1
9	1	1	1	1	0	1	1

34. 用循环语句实现 7 人投票表决器设计。其中输入端是 vote，位宽是 7。输入 0 表示反对，输入 1 表示赞同。按少数服从多数的原则。输出端是 pass，输出 0 表示表决不通过，输出 1 表示表决通过。