

2023 年 4 月高等教育自学考试全国统一考试

## 数字电路

(课程代码 02344)

注意事项:

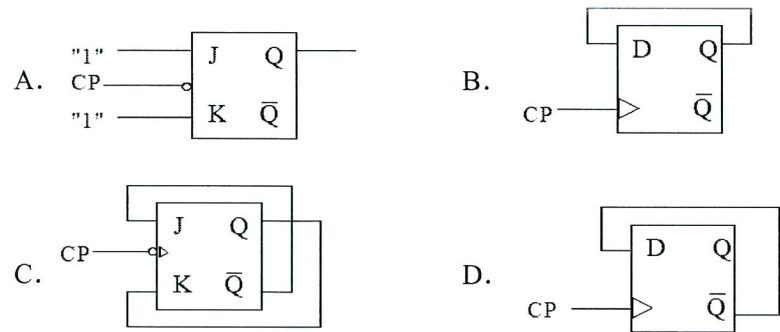
1. 本试卷分为两部分, 第一部分为选择题, 第二部分为非选择题。
2. 应考者必须按试题顺序在答题卡(纸)指定位置上作答, 答在试卷上无效。
3. 涂写部分、画图部分必须使用 2B 铅笔, 书写部分必须使用黑色字迹签字笔。

## 第一部分 选择题

一、单项选择题: 本大题共 20 小题, 每小题 1 分, 共 20 分。在每小题列出的备选项中只有一项是最符合题目要求的, 请将其选出。

1. 十进制数 173 转换成二进制数是\_\_\_\_\_ B
  - A. 001111011
  - B. 000101110011
  - C. 10101101
  - D. 10110101
2. 为了将 600 份文件顺序编号, 如果采用二进制代码, 最少需要
  - A. 3 位
  - B. 8 位
  - C. 9 位
  - D. 10 位
3. 函数  $Y_1 = EF + \overline{FM} + E\overline{M}$  的反函数是
  - A.  $E + \overline{FM}$
  - B.  $\overline{E} + \overline{FM}$
  - C.  $\overline{EF} + \overline{EM}$
  - D.  $E\overline{F} + EM$
4. 函数  $Y_2 = \overline{F} \cdot \overline{M} + E + F + M$  的最简或与表达式为
  - A. 1
  - B.  $\overline{E} + \overline{F} + \overline{M}$
  - C.  $E + F + M$
  - D. 0
5. 函数  $Y_3(A, B, C, D) = \sum m(0, 1, 2, 3, 6, 8, 9, 13, 15) + \sum d(10)$  的最简与或式是
  - A.  $Y_3 = \overline{A} \cdot \overline{B} + \overline{B} \cdot \overline{D} + ABD + \overline{ACD}$
  - B.  $Y_3 = \overline{A} \cdot \overline{B} + \overline{ACD} + ABD + \overline{BCD}$
  - C.  $Y_3 = \overline{A} \cdot \overline{B} + \overline{AB} \cdot \overline{D} + ABD + \overline{ACD}$
  - D.  $Y_3 = \overline{A} \cdot \overline{B} + \overline{ACD} + ABD + \overline{B} \cdot \overline{C}$
6. N 沟道增强型 MOS 管的开启电压为
  - A. 0
  - B. 正
  - C. 负
  - D. 正负都可以
7. CMOS 反相器的结构由\_\_\_\_\_组成。
  - A. 两个 N 沟道 MOS 管
  - B. 两个 P 沟道 MOS 管
  - C. 一个 N 沟道 MOS 管, 一个 P 沟道 MOS 管
  - D. 以上都不对
8. OD 门的输出上拉电阻
  - A. 有最小值
  - B. 有最大值
  - C. 有最大和最小值
  - D. 可以为任意值
9. 一个二-十进制译码器正常工作时用 8421BCD 码输入, 此时下列输入中不正确的是
  - A. 0000
  - B. 0111
  - C. 1001
  - D. 1010
10. 对于同步 RS 触发器, 若要求其输出“0”状态不变, 则输入的 RS 信号为
  - A.  $RS=X0$
  - B.  $RS=0X$
  - C.  $RS=X1$
  - D.  $RS=1X$
11. 下列电路中不属于组合电路的是
  - A. 编码器
  - B. 译码器
  - C. 数据选择器
  - D. 多谐振荡器
12. 在二进制数据选择器中, 如果输入数据端有 32 位, 那么就有\_\_\_\_\_个地址信号。
  - A. 2
  - B. 4
  - C. 5
  - D. 6
13. 或非门构成的 SR 触发器的约束条件为
  - A.  $SR=0$
  - B.  $SR=1$
  - C.  $S+R=1$
  - D.  $S+R=0$
14. 三级触发器构成的环型和扭环型计数器的计数模值依次为
  - A. 3 和 6
  - B. 6 和 3
  - C. 6 和 8
  - D. 8 和 8

15. 下列图所示电路中, 不能实现  $Q^{n+1} = \overline{Q^n}$  的是



16. 在一片  $1024 \times 1$  位的 ROM 中, 应该有\_\_\_\_\_根地址线。

- A. 1
- B. 8
- C. 10
- D. 1024

17. 下列说法中正确的是

- A. ROM 仅可作为数据存储器
- B. ROM 仅可作为函数发生器
- C. ROM 既不可作为数据存储器, 也不可作为函数发生器
- D. ROM 既可作为数据存储器, 也可作为函数发生器

18. PLA 电路的特点是

- A. 与、或阵列均可编程
- B. 与、或阵列均不可编程
- C. 与阵列可编程、或阵列不可编程
- D. 与阵列不可编程、或阵列可编程

19. 衡量 A/D 和 D/A 转换器性能优劣的主要指标是

- A. 线性度
- B. 分辨率
- C. 功率消耗
- D. 转换精度和转换速度

20. 在 A/D 转换器电路中, 若输入信号的最大频率为  $10\text{kHz}$ 。则采样脉冲的频率至少应大于\_\_\_\_\_kHz。

- A. 30
- B. 20
- C. 10
- D. 5

## 第二部分 非选择题

二、填空题: 本大题共 10 小题, 每小题 1 分, 共 10 分。

- 21. 用特定的数码来表示文字、符号信息的过程称为\_\_\_\_\_。
- 22. 二-十进制码就是用\_\_\_\_\_位二进制数来表示 1 位十进制数中的 0—9 这 10 个数码, 简称 BCD 码。

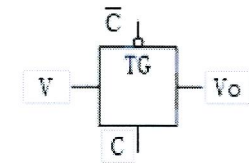
23. 前一级门输出高电平最小值与后一级门输入高电平最小值之差为\_\_\_\_\_。

24. 逻辑函数  $Y(A, B, C) = \sum m(1, 2, 4, 7) + \sum d(3, 6)$  的最简与或式是\_\_\_\_\_。

25. TTL 集成门电路带拉电流负载工作时, 如果负载门的个数增加, 总的拉电流将\_\_\_\_\_, 会引起输出高电平降低。

26. 在工作速度要求较高时, 同步计数器和异步计数器两者之中, 应选用\_\_\_\_\_。

27. 如题 27 图所示, 测得  $V_o$  为高阻状态, 则  $\overline{C} =$ \_\_\_\_\_。



题 27 图

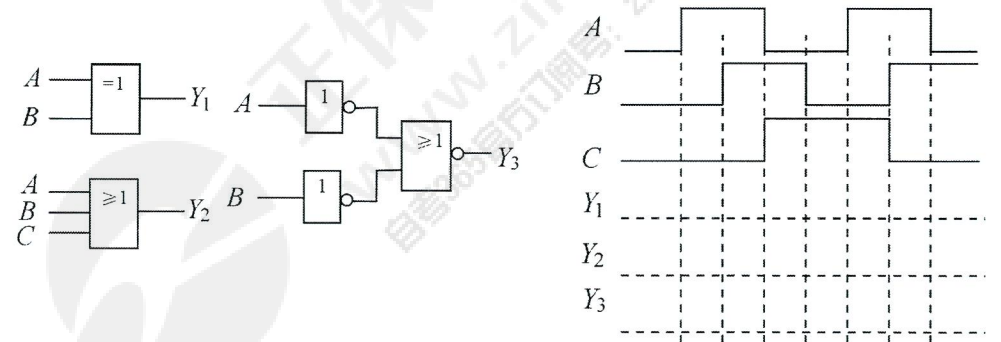
28. 已知某存储器采用矩阵取码, 存储器芯片地址为 10 位, 行地址和列地址分别占 6 条和 4 条, 则矩阵译码后共有地址选择控制线为\_\_\_\_\_条。

29. 可以用 PROM 来实现组合逻辑电路, 因为它的\_\_\_\_\_阵列是可编程的。

30.  $n$  位逐次渐近型数模转换器完成一次转换所需的时间可表示为  $T =$ \_\_\_\_\_。要求用  $T_{CP}$  表示时钟脉冲  $CP$  的周期。

三、作图题: 本大题共 4 小题, 每小题 5 分, 共 20 分。

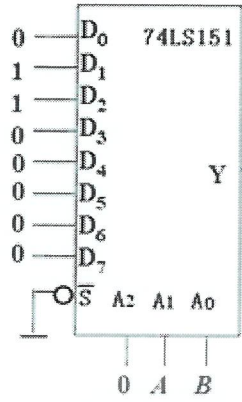
31. 对应题 31 (a) 图输入波形, 画出题 31 (b) 图中  $Y_1 \sim Y_3$  的波形。



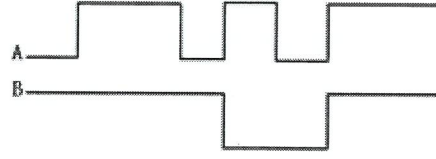
题 31 (a) 图

题 31 (b) 图

32. 8 选 1 数据选择器 74LS151 构成如题 32 (a) 图所示的组合逻辑电路, 根据所给的数据端的连接以及 A、B 的波形在题 32 (b) 图中画出输出 Y 的波形。

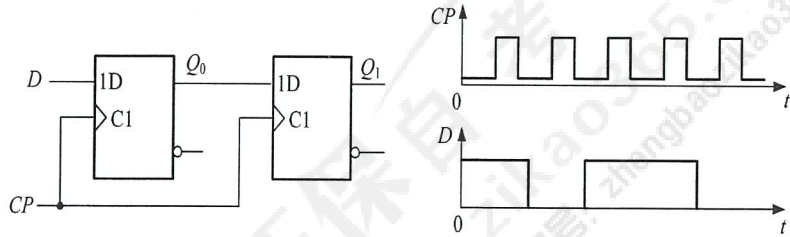


题 32 (a) 图



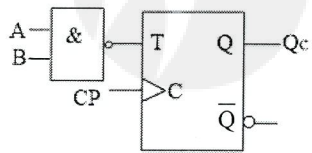
题 32 (b) 图

33. 由 D 触发器组成的时序电路如题 33 图所示, 在图中所示的 CP 脉冲及 D 作用下, 画出  $Q_0$ 、 $Q_1$  的波形。设触发器的初始状态为  $Q_0=0$ ,  $Q_1=0$ 。

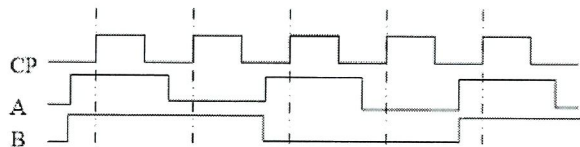


题 33 图

34. 已知输入信号 A 和 B 的波形如题 34 (b) 图, 画出图中所示触发器 Q 端的输出波形, 设触发器的初态为 0。



题 34 (a) 图



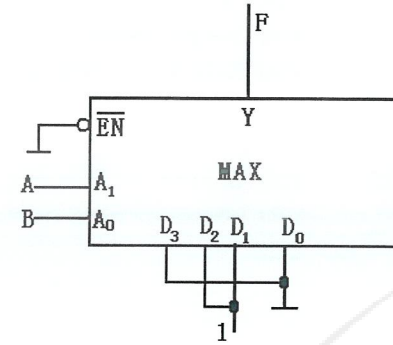
题 34 (b) 图

四、简单分析题: 本大题共 4 小题, 每小题 5 分, 共 20 分。

35. 代数法化简:  $\overline{AC} + \overline{ABC} + \overline{BC} + ABC$ 。

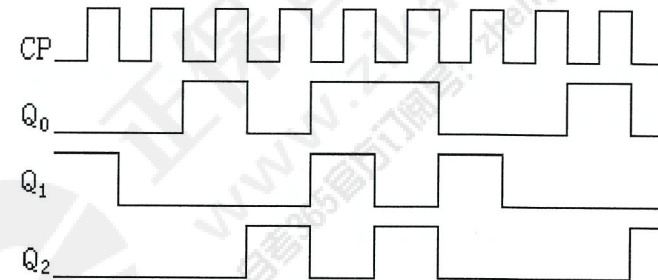
36. 用卡诺图化简函数:  $L(A,B,C,D) = \sum m(0,13,14,15) + \sum d(1,2,3,9,10,11)$ 。

37. 分析题 37 图所示电路, 要求写出 F 的表达式, 并画出 F 的波形。图中所用器件是 4 选 1 数据选择器。



题 37 图

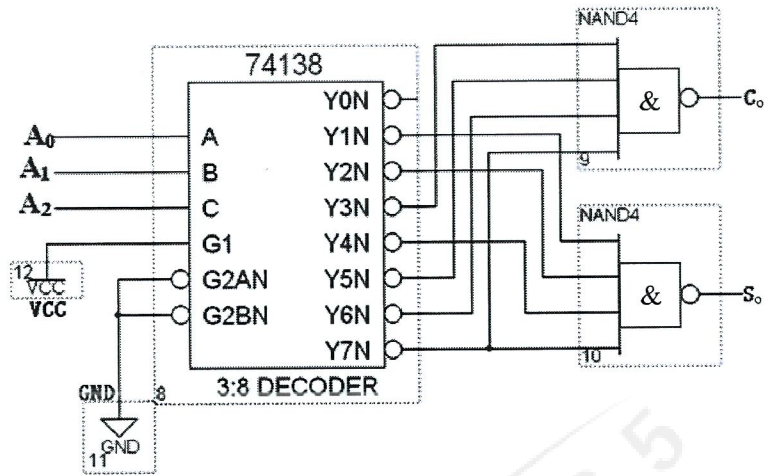
38. 在某计数器的输出端观察到如题 38 图所示的波形, 分析波形图, 画出状态图, 并确定该计数器的模。



题 38 图

五、分析设计题：本大题共 3 小题，每小题 10 分，共 30 分。

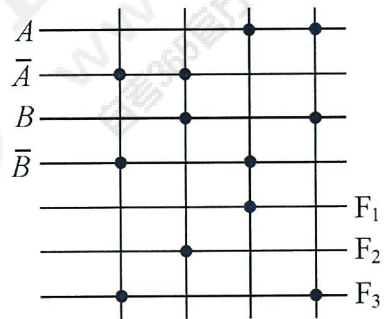
39. 分析题 39 图所示为 3 入 8 出变量译码器（输入端 C 为高位，输出低电平有效）构成的电路，写出正常工作时  $S_o$  和  $C_o$  的表达式，画出真值表、说明电路的功能。



题 39 图

40. 设计一个 1 位十进制数（采用 8421BCD 码）的“四舍五入”电路，已知 D、C、B、A 是 1 位十进制数的输入端，其中 D、C、B、A 的权值依次为 8、4、2、1。要求：画出真值表，写出最简与或表达式和与非-与非表达式，最后用与非门画出逻辑图。

41. 分析题 41 图所示的 PLA 逻辑阵列，写出  $F_1$ 、 $F_2$ 、 $F_3$  的逻辑表达式，画出真值表、说明整个电路的功能。



题 41 图