

2023 年 4 月高等教育自学考试全国统一考试

数字系统设计与 PLD 应用技术

(课程代码 10783)

注意事项:

1. 本试卷分为两部分, 第一部分为选择题, 第二部分为非选择题。
2. 应考者必须按试题顺序在答题卡(纸)指定位置上作答, 答在试卷上无效。
3. 涂写部分、画图部分必须使用 2B 铅笔, 书写部分必须使用黑色字迹签字笔。

第一部分 选择题

一、单项选择题: 本大题共 15 小题, 每小题 1 分, 共 15 分。在每小题列出的备选项中只有一项是最符合题目要求的, 请将其选出。

1. 不考虑信号延时等因素的仿真, 称为
 - A. 功能仿真
 - B. 时序仿真
 - C. 数字仿真
 - D. 混合仿真
2. 以下 EDA 软件中, 属于集成的 FPGA/CPLD 开发工具的是
 - A. FPGA Express
 - B. NC-Verilog
 - C. Modelsim
 - D. Quartus II
3. 以下 PLD 中, 与阵列和或阵列都可以编程的是
 - A. CPLD
 - B. PLA
 - C. PAL
 - D. GAL
4. 如右图所示, 符号表示的是
 - A. 与门
 - B. 与非门
 - C. 或门
 - D. 或非门
5. 大部分 FPGA 进行配置数据采用的存储器是
 - A. SRAM
 - B. DRAM
 - C. EPROM
 - D. Flash Memory



6. Verilog 声明输入端口用的关键词是
 - A. in
 - B. IN
 - C. input
 - D. INPUT
7. 以下常量写法, 错误的是
 - A. 8'b11001100
 - B. 8'hCC
 - C. 8'b1100_1100
 - D. 8'b1100-1100
8. 以下关于常量的表述, 错误的是
 - A. 字符串型常量不可综合
 - B. 当数字不说明位宽, 则默认为 32 位
 - C. 如果定义的位宽比实际的位宽长, 在左边补 0, 但如果最左边一位是 x 或 z, 则相应地用 x 或 z 在左边补位
 - D. 如果定义的位宽比实际的位宽小, 则右边的位被截掉丢弃
9. 以下关于向量的表述, 错误的是
 - A. 存储器可以看作是二维向量
 - B. 可以对存储器进行位选择和域选择
 - C. 向量的位宽(线宽)一定大于 1
 - D. 标量类向量可以进行位选择和域选择
10. 4'b1001 && 4'b0100 的结果是
 - A. 1'b0
 - B. 1'b1
 - C. 4'b0000
 - D. 4'b1101
11. 若 a=4'b1001, b=4'b1100, 则运算结果正确的是
 - A. a&& a=4'b1000
 - B. a||b=4'b1101
 - C. a||b=1'b1
 - D. !a=1'b1
12. 已知 A=4'b1001, B=4'b0101, 则 A^B 等于
 - A. 4'b1100
 - B. 4'b0001
 - C. 4'b1101
 - D. 4'b0110
13. 如果 A=5'b11001, 则以下运算正确的是
 - A. A<<2 的结果是 5'b00010
 - B. A<<2 的结果是 5'b00000
 - C. A>>2 结果是 5'b00110
 - D. A>>2 结果是 1'b1
14. 根据 Verilog HDL 语法, 以下选项跟 {1,0} 等价的是
 - A. 2'b01
 - B. 2'b10
 - C. 10
 - D. 'h10

15. 如下程序描述的电路是

```
module exam(q,d,rst,clock);
input d,clock,rst;
output q;
reg q;
always @(posedge clock)
    if(rst)
        q<=0;
    else
        q<=d;
endmodule
```

- A. 异步复位 D 触发器 B. 异步复位锁存器
C. 同步复位 D 触发器 D. 同步复位锁存器

二、多项选择题：本大题共 5 小题，每小题 2 分，共 10 分。在每小题列出的备选项中至少有两项是符合题目要求的，请将其选出，错选、多选或少选均无分。

16. 基于 Quartus II 进行 EDA 设计开发的流程步骤包括

- A. 设计输入 B. 编译
C. 仿真 D. 编程
E. 验证

17. Quartus II 仿真步骤包括

- A. 打开波形编辑器 B. 输入信号节点
C. 原理图输入 D. 编辑输入信号波形
E. 仿真器参数设置

18. 以下关于 Verilog 语法的描述，正确的有

- A. 每个模块都必须有模块名
B. 端口是模块与外界连接和通信的信号线
C. 模块中所有信号都必须进行数据类型说明
D. 逻辑功能必须定义在函数中
E. always 语句既可以用来描述组合电路，也可以用来描述时序电路

19. 在 Verilog 中，用来描述模块逻辑功能的方式包括

- A. 用 assign 语句描述 B. 用 always 语句描述
C. 调用函数 D. 调用 Verilog 内置门元件
E. 调用 Verilog 内置宏功能模块

20. 关于 Verilog 的行为语句，以下说法正确的是

- A. initial 语句可以综合
B. initial 语句通常用于仿真模块中对激励向量的描述
C. 敏感信号表达式中如果有两个或两个以上的信号，应该用“or”关键字或逗号“,”来连接
D. begin-end 块内的语句按串行方式顺序执行
E. 阻塞赋值的符号是“<=”

第二部分 非选择题

三、程序填空题：本大题共 2 小题，每小题 5 分，共 10 分。

21. 以下是一个 100 进制的计数器程序，实现 0~99 计数，当计数输出为 99 时，输出 C=1，请补充完整。

```
module counter100 (out,C,data,load,reset,clk);
output[7:0]out;
reg [7:0]out;
output C;
reg C;
input load,clk,reset;
input[7:0]data;
always@_____①_____ //clk 上升沿触发；reset 低电平异步清零
begin
    if(!reset)
        _____②_____ //复位，输出为 0;
    else if(load)
        _____③_____ //置数
    else
        begin
            _____④_____ //加 1 计数
        end
    if(out==99)
        C=1'b1;
    else
        C=1'b0;
end
```

```

if _____ ⑤
    out=8'b0;
end
end
endmodule

```

22. 已知一位全加器的输出逻辑表达式如下，请用数据流描述的风格，把以下程序填写完整。

$$sum = a \oplus b \oplus cin$$

$$cout = a \cdot b + a \cdot cin + b \cdot cin$$

```

module full_adder(a,b,cin,sum,cout);

```

```

input a, b, cin;

```

```

output sum, cout;

```

```

_____ ① // 给 sum 赋值

```

```

_____ ② // 给 cout 赋值

```

```

endmodule

```

四、名词解释题：本大题共 5 小题，每小题 3 分，共 15 分。

23. HDL
24. SoC
25. 综合
26. FPGA
27. JTAG

五、简答题：本大题共 4 小题，每小题 5 分，共 20 分。

28. 什么是 Verilog 的标识符，标识符有何要求？
29. 简述 Verilog HDL 语法中阻塞赋值和非阻塞赋值的区别。
30. 简述结构描述和行为描述的区别。
31. 常用的可编程元件有哪些类型？哪种用于 FPGA 存储配置数据？

六、程序设计：本大题共 3 小题，每小题 10 分，共 30 分。

32. 编写程序实现 1 位数值比较器。其中 A、B 为输入，是两个需要比较大小的数，位宽是 1。输出为 Large, Equal, Less。输入和输出的关系如下表所示。

A	B	Large	Equal	Less
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

33. 编写 Verilog 程序，实现带符号 8 位原码转换为 8 位补码。其中输入信号名是 A，输出信号名是 B。

34. 74161 是一个 4 位二进制计数器。芯片的功能表如下图所示，其中 CP 为时钟输入端，上升沿触发。RDN 为异步清零信号，LDN 为同步置数信号。同步置数数据输入端是 D，位宽是 4，置数时计数输出等于 D。EP 和 ET 为工作模式选择端。计数输出为 Q，位宽是 4。进位输出信号为 C，当计数值达到 1111，且 ET 等于 1 时，输出高电平，其它时候输出低电平。符号“×”表示可以是 0 也可以是 1。 \uparrow 表示上升沿。“保持”是指即使有时钟上升沿到来，计数值不变。请编写 Verilog 程序实现功能。

74161功能表

CP	RDN	LDN	EP	ET	工作状态
×	0	×	×	×	异步清0
\uparrow	1	0	×	×	同步置数
×	1	1	0	1	保持
×	1	1	×	0	保持(C=0)
\uparrow	1	1	1	1	计数