

2023 年 10 月高等教育自学考试全国统一考试

## 数字系统设计与 PLD 应用技术

(课程代码 10783)

### 注意事项:

1. 本试卷分为两部分, 第一部分为选择题, 第二部分为非选择题。
2. 应考者必须按试题顺序在答题卡(纸)指定位置上作答, 答在试卷上无效。
3. 涂写部分、画图部分必须使用 2B 铅笔, 书写部分必须使用黑色字迹签字笔。

### 第一部分 选择题

一、单项选择题: 本大题共 15 小题, 每小题 1 分, 共 15 分。在每小题列出的备选项中只有一项是最符合题目要求的, 请将其选出。

1. Verilog 程序基本设计单元是模块, 其关键字是  
A. MODULE                      B. module  
C. ALWAYS                        D. always
2. 时序电路与组合逻辑电路的区别是看电路是否存在  
A. 触发器                        B. 加法器  
C. 译码器                        D. 选择器
3. Verilog 语法中, 换行符号属于  
A. 操作符                        B. 字符串  
C. 空白符                        D. 标识符
4. Verilog 语法中, 整数常量 8'h15 描述的是一个  
A. 二进制数                      B. 八进制数  
C. 十进制数                      D. 十六进制数
5. Verilog 语法中, 下列运算符不属于逻辑运算符的是  
A. &&                              B. ||  
C. !                                D. ~

6. Verilog 语法中, 下列运算符是三目运算符的是  
A. &                                B. ^  
C. ~|                               D. ?:
7. Verilog 语法中, 时钟上升沿作为触发条件的描述采用关键字  
A. negedge                        B. posedge  
C. @                                D. always
8. 数据  $s=\{4'b1001, 3b101, 2'b11\}$  的位宽是  
A. 9                                B. 4  
C. 3                                D. 2
9. Verilog 语法中, 向右移位运算符是  
A. <<                                B. >>  
C. <                                D. >
10. 下列声明中, 描述存储器 mem 的是  
A. reg[7:0] mem                    B. mem [7:0] reg  
C. reg[7:0] mem [63:0]            D. mem [7:0] reg [63:0]
11. Verilog 语法中, 下列标识符错误的是  
A. abc                              B. \*abc  
C. \_abc                             D. a\_bc
12. Verilog 语法中, 声明任务的关键字是  
A. task                             B. function  
C. initial                          D. always
13. 已知  $a=4'd5, b=4'b1100$ , 则  $a|b=$   
A. 4'b1101                        B. 4'b1011  
C. 4'b1000                        D. 4'b1001
14. 已知  $a=4'b1101, b=4'b1000, c=\{\sim a, b\}$ , 则  $c=$   
A. 0010\_1101                      B. 0010\_1000  
C. 1100\_1101                      D. 1100\_1000
15. 假设 a 的位宽为 8 位, 且 a 的高 2 位为 0, 则  $F=\{a[5:0], 2'b00\}$  实现的功能是  
A.  $a*2$                               B.  $a*4$   
C.  $a/2$                               D.  $a/4$





⑤ \_\_\_\_\_ //实现阶乘运算

endfunction

endmodule

四、名词解释题：本大题共 5 小题，每小题 3 分，共 15 分。

23. ASIC
24. SoC
25. ISP
26. TOP-DOWN 设计
27. LUT

五、简答题：本大题共 4 小题，每小题 5 分，共 20 分。

28. 简述 IP 核的含义及其三种类型的区别。
29. 以 XC4000 系列器件为例，简述该典型器件的内部结构组成。
30. 在 Quartus II 执行完全编译，将会执行哪些步骤？
31. 简述 Verilog 的 5 个抽象的设计层次。

六、程序设计：本大题共 3 小题，每小题 10 分，共 30 分。

32. 用 Verilog 编写一 4 选 1 数字选择器，输入为  $a[3:0]$ ，输出为 out，选择信号为  $sel[1:0]$ 。
33. 请写出低电平同步复位的二分频电路 Verilog 代码，输入时钟为  $clk_{in}$ ，输出时钟为  $clk_{out}$ ，复位信号为  $rst$ 。
34. 已知 JK 触发器的功能表如下：

J	K	功能
0	0	保持
0	1	置 0
1	0	置 1
1	1	翻转

试编写程序实现其功能，要求：时钟输入  $clk$  上升沿触发，异步复位  $rst$  低电平有效，异步置数端  $set$  低电平有效，复位信号  $rst$  优先级高于置数信号  $set$ ，输入信号为  $j$ ， $k$ ，输入为  $q$ 。