

2023 年 10 月高等教育自学考试

## 数字系统设计与 PLD 应用技术

(课程代码 10783)

注意事项：

1. 本试卷分为两部分，第一部分为选择题，第二部分为非选择题。
2. 应考者必须按试题顺序在答题卡（纸）指定位置上作答，答在试卷上无效。
3. 涂写部分、画图部分必须使用 2B 铅笔，书写部分必须使用黑色字迹签字笔。

### 第一部分 选择题

一、单项选择题：本大题共 15 小题，每小题 1 分，共 15 分。在每小题列出的备选项中只有一项是最符合题目要求的，请将其选出。

1. Verilog 程序基本设计单元是模块，其关键字是
  - MODULE
  - module
  - ALWAYS
  - always
2. 时序电路与组合逻辑电路的区别是看电路是否存在
  - 触发器
  - 加法器
  - 译码器
  - 选择器
3. Verilog 语法中，换行符号属于
  - 操作符
  - 字符串
  - 空白符
  - 标识符
4. Verilog 语法中，整数常量 8'h15 描述的是一个
  - 二进制数
  - 八进制数
  - 十进制数
  - 十六进制数
5. Verilog 语法中，下列运算符不属于逻辑运算符的是
  - &&
  - ||
  - !
  - ~

6. Verilog 语法中，下列运算符是三目运算符的是
  - &
  - ^
  - ~|
  - ?:
7. Verilog 语法中，时钟上升沿作为触发条件的描述采用关键字
  - negedge
  - posedge
  - @
  - always
8. 数据 s={4'b1001, 3'b101, 2'b11}的位宽是
  - 9
  - 4
  - 3
  - 2
9. Verilog 语法中，向右移位运算符是
  - <<
  - >>
  - <
  - >
10. 下列声明中，描述存储器 mem 的是
  - reg[7:0] mem
  - mem [7:0] reg
  - reg[7:0] mem [63:0]
  - mem [7:0] reg [63:0]
11. Verilog 语法中，下列标识符错误的是
  - abc
  - \*abc
  - \_abc
  - a\_bc
12. Verilog 语法中，声明任务的关键字是
  - task
  - function
  - initial
  - always
13. 已知 a=4'd5, b=4'b1100，则 a|b=
  - 4'b1101
  - 4'b1011
  - 4'b1000
  - 4'b1001
14. 已知 a=4'b1101, b=4'b1000, c={~a,b}，则 c=
  - 0010\_1101
  - 0010\_1000
  - 1100\_1101
  - 1100\_1000
15. 假设 a 的位宽为 8 位，且 a 的高 2 位为 0，则 F={a[5:0],2'b00}实现的功能是
  - a\*2
  - a\*4
  - a/2
  - a/4

二、多项选择题：本大题共 5 小题，每小题 2 分，共 10 分。在每小题列出的备选项中至少有两项是符合题目要求的，请将其选出，错选、多选或少选均无分。

16. Verilog 语法中，描述变量可以采用的关键字有

- A. wire
- B. tri
- C. reg
- D. integer
- E. z

17. Verilog 语法中，行为语句包括

- A. 过程语句
- B. 块语句
- C. 赋值语句
- D. 条件语句
- E. 循环语句

18. Verilog 的特点包括

- A. 可用于综合电路
- B. 可实现电路与系统的仿真
- C. 支持多种电路描述方式
- D. 内置各种逻辑门
- E. 所有语句都可以综合电路

19. Verilog 函数的特点包括

- A. 至少一个输入
- B. 可作为表达式中的操作数调用
- C. 可调用任务
- D. 最终向调用它的表达式返回一个值
- E. 不能包括定时和事件控制语句

20. 在 Verilog 程序中，电路结构描述包括

- A. and a1(z,a,b)
- B. bufifl g1(out,in,enable)
- C. or d1(z,a,b)
- D. z=a+b
- E. z=c?1:0

## 第二部分 非选择题

三、程序填空题：本大题共 2 小题，每小题 5 分，共 10 分。

21. 设计一个占空比为 50% 的偶数分频，按要求完成下列程序。

```
module div6(rst, clkin, clkout);
input rst, clkin;
output clkout;
① _____ //声明变量 count 的位宽是 3;
② _____ //当 rst 下降沿或 clkin 上升沿时触发
begin
if(rst)

```

③ \_\_\_\_\_ //变量 count 清零;  
④ \_\_\_\_\_ //时钟上升沿到来时，判断变量 count 是否等于 5  
count<=0;

```
else
count<=count+1;
end
always@ (count)
begin
⑤ _____ //判断变量 count 是否小于 3
clkout=0;
else
clkout=1;
end
endmodule
```

22. 设计一个阶乘运算函数，按要求完成下列程序。

```
module funct9(clk,n,result,rst);
input rst,clk;
input [3:0] n;
output result;
reg [31:0] result;
① _____ //当 clk 上升沿时触发
begin
if(!rst)
result<=0;
else
② _____ //声明输出 result 的结果是 n 的阶乘
end
③ _____ //声明一个位宽为 32 位的阶乘 factorial 函数
input [3:0] opa;
reg [31:0] i ;
begin
④ _____ //判断 opa 是否>0，大于则函数 factorial 等于 1，否则等于 0;
for( i=2; i<opa; i=i+1);
```

```
⑤ _____ //实现阶乘运算  
endfunction  
endmodule
```

四、名词解释题：本大题共 5 小题，每小题 3 分，共 15 分。

- 23. ASIC
- 24. SoC
- 25. ISP
- 26. TOP-DOWN 设计
- 27. LUT

五、简答题：本大题共 4 小题，每小题 5 分，共 20 分。

- 28. 简述 IP 核的含义及其三种类型的区别。
- 29. 以 XC4000 系列器件为例，简述该典型器件的内部结构组成。
- 30. 在 Quartus II 执行完全编译，将会执行哪些步骤？
- 31. 简述 Verilog 的 5 个抽象的设计层次。

六、程序设计：本大题共 3 小题，每小题 10 分，共 30 分。

- 32. 用 Verilog 编写一 4 选 1 数字选择器，输入为  $a[3:0]$ ，输出为  $out$ ，选择信号为  $sel[1:0]$ 。
- 33. 请写出低电平同步复位的二分频电路 Verilog 代码，输入时钟为  $clkin$ ，输出时钟为  $clkout$ ，复位信号为  $rst$ 。
- 34. 已知 JK 触发器的功能表如下：

J	K	功能
0	0	保持
0	1	置 0
1	0	置 1
1	1	翻转

试编写程序实现其功能，要求：时钟输入  $clk$  上升沿触发，异步复位  $rst$  低电平有效，异步置数端  $set$  低电平有效，复位信号  $rst$  优先级高于置数信号  $set$ ，输入信号为  $j$ ,  $k$ ，输入为  $q$ 。