

数字系统设计与 PLD 应用技术

(课程代码 10783)

注意事项：

1. 本试卷分为两部分，第一部分为选择题，第二部分为非选择题。
2. 应考者必须按试题顺序在答题卡（纸）指定位置上作答，答在试卷上无效。
3. 涂写部分、画图部分必须使用 2B 铅笔，书写部分必须使用黑色字迹签字笔。

第一部分 选择题

一、单项选择题：本大题共 15 小题，每小题 1 分，共 15 分。在每小题列出的备选项中只有一项是最符合题目要求的，请将其选出。

1. 下列是 Verilog 程序中的关键字的是

A. AND	B. pull
C. fork	D. alway
2. Verilog 语法中，整数常量 8'h15 描述的是一个

A. 二进制数	B. 八进制数
C. 十进制数	D. 十六进制数
3. Verilog 中的行注释符号是

A. /	B. //
C. \	D. *
4. Verilog 中定义符号常量的关键字是

A. parameter	B. reg
C. wire	D. integer
5. Verilog 语法中，下列运算符属于位运算符的是

A. &&	B.
C. !	D. ~^
6. 语句 Out=sel?a:b 描述了一个电路是

A. 选择器	B. 加法器
C. 反相器	D. 异或门

7. Verilog 中，下列运算符优先级最高的是

- | | |
|------|-------|
| A. ! | B. & |
| C. | D. ?: |

8. 若 $a=4'b1100$ ，则 $\&a$ 和 $|a$ 分别等于

- | | |
|--------|--------|
| A. 0,1 | B. 1,0 |
| C. 0,0 | D. 1,1 |

9. Verilog 中，位拼接运算符是

- | | |
|--------|-------|
| A. << | B. >> |
| C. { } | D. <= |

10. Verilog 中，一个位宽为 16 位，容量为 64 的存储单元 memb 可以声明为

- | | |
|--------------------------|---------------------------|
| A. reg [3:0] memb [63:0] | B. memb [15:0] reg [63:0] |
| C. memb [3:0] reg [63:0] | D. reg [15:0] memb [63:0] |

11. Verilog 中，下列标识符正确的是

- | | |
|---------|----------|
| A. *abc | B. ab_c |
| C. 3abc | D. //abc |

12. 下列属于 Verilog 声明编译指示语句的关键字是

- | | |
|-----------|--------------|
| A. task | B. function |
| C. define | D. parameter |

13. 已知 $a=4'hc$, $b=4'b1100$ ，则 $a&b=$

- | | |
|------------|------------|
| A. 4'b1100 | B. 4'b1110 |
| C. 4'b1000 | D. 4'b1101 |

14. 假设 a 的位宽为 8 位，且 a 的低 4 位为 0，则 $F=\{3'b000, a[7:3]\}$ 实现的功能是

- | | |
|----------|----------|
| A. $a*4$ | B. $a*8$ |
| C. $a/4$ | D. $a/8$ |

15. 在 Verilog 中，声明下降沿触发事件的关键字是

- | | |
|------------|------------|
| A. always | B. negedge |
| C. posedge | D. integer |

二、多项选择题：本大题共 5 小题，每小题 2 分，共 10 分。在每小题列出的备选项中至少有两项是符合题目要求的，请将其选出，错选、多选或少选均无分。

16. FPGA 器件的配置模式通常包括

- | | |
|--------------|---------------|
| A. 被动串行模式 PS | B. 主动串行模式 AS |
| C. 主动并行模式 AP | D. 被动并行同步 PPS |
| E. JTAG 模式 | |

17. Quartus II 设计开发流程包括

- A. 设计输入
- B. 编译
- C. 仿真与定时分析
- D. 编程配置
- E. 在线测试

18. 下列电路属于时序逻辑电路的有

- A. 分频器
- B. 计数器
- C. 移位寄存器
- D. 加法器
- E. 序列检测器

19. Verilog 语法中，下列是缩位运算符的有

- A. &
- B. |
- C. &&
- D. ||
- E. ~

20. Verilog 行为描述语句中，可综合为电路的语句包括

- A. always
- B. begin - end
- C. fork - join
- D. case
- E. initial

第二部分 非选择题

三、程序填空题：本大题共 2 小题，每小题 5 分，共 10 分。

21. 以下是模为 60 的 8421BCD 码加法计数器，请按要求完成下列程序。

```
module count60(qout,cout,data,load,reset,clk)
input load,clk,reset;
input [7:0] data;
output reg [7:0] qout;
output cout;
assign cout=(qout==8'd59)?1:0;
① _____ //时钟上升沿计数
begin
    if(reset)
        qout<=0;
    ② _____ //同步 load 信号为高电平置数
        qout<=data;
    else
        begin
            ③ _____ //判断 qout 低 4 位是否为 9

```

```
begin
    qout[3:0]<=0;
    if(qout[7:4]==5)
        ④ _____ //qout 高 4 位清零
    else
        qout[7:4]<=qout[7:4]+1;
    end
    else
        ⑤ _____ //qout 低 4 位加 1 递增
    end
endmodule
```

22. 设计一个共阴极 BCD 码-7 段数码管译码器，请按要求完成下列程序。

```
module decode(a,b,c,d,e,f,g,data_bcd);
output reg a,b,c,d,e,f,g;
② _____ //定义译码敏感列表
begin
    case(data_bcd)
        4'd0:{a,b,c,d,e,f,g}=7'b1111110;
        ③ _____ //输出数字 1
        4'd2:{a,b,c,d,e,f,g}=7'b1101101;
        4'd3:{a,b,c,d,e,f,g}=7'b1111001;
        ④ _____ //输出数字 4
        4'd5:{a,b,c,d,e,f,g}=7'b1011011;
        4'd6:{a,b,c,d,e,f,g}=7'b1011111;
        4'd7:{a,b,c,d,e,f,g}=7'b1110000;
        4'd8:{a,b,c,d,e,f,g}=7'b1111111;
        4'd9:{a,b,c,d,e,f,g}=7'b1111011;
        ⑤ _____ //其余默认输出字母 E
    endcase
end
endmodule
```

四、名词解释题：本大题共 5 小题，每小题 3 分，共 15 分。

- 23. IP 复用
- 24. JTAG BST
- 25. FPGA
- 26. 阻塞赋值
- 27. 综合

五、简答题：本大题共 4 小题，每小题 5 分，共 20 分。

- 28. 简述 TOP-DOWN 设计的 5 个步骤。
- 29. 简述 CPLD 和 FPGA 的结构区别。
- 30. 简述任务(task)和函数(function)的区别。
- 31. 简述在 Quartus II 中创建工程的步骤。

六、程序设计：本大题共 3 小题，每小题 10 分，共 30 分。

- 32. 用 Verilog 编写一个 3 人表决器，实现少数服从多数功能。输入为 $a[2:0]$ ，输出为 $pass$ ，当输入多数为 1 时，输出为 1。
- 33. 请写出一个带异步复位功能的 8 位串并转换器的 Verilog 代码。输入串行数据为 $data$ ，并行输出为 $z[7:0]$ ，复位信号为 rst ，当低电平时输出清零，转换时钟为 clk ，当上升沿时，串行数据从依次从并行数据的低位输入。
- 34. 设计一个 60 进制同步置数，异步清零的计数器，时钟为 clk ，置数信号 set 低电平有效，清零信号 rst 低电平有效，数据输入端为 din ，进位输出信号为 c ，计数输出为 q 。