



17. Quartus II 设计开发流程包括

- A. 设计输入
- B. 编译
- C. 仿真与定时分析
- D. 编程配置
- E. 在线测试

18. 下列电路属于时序逻辑电路的有

- A. 分频器
- B. 计数器
- C. 移位寄存器
- D. 加法器
- E. 序列检测器

19. Verilog 语法中, 下列是缩位运算符的有

- A. &
- B. |
- C. &&
- D. ||
- E. ~

20. Verilog 行为描述语句中, 可综合为电路的语句包括

- A. always
- B. begin - end
- C. fork - join
- D. case
- E. initial

## 第二部分 非选择题

三、程序填空题: 本大题共 2 小题, 每小题 5 分, 共 10 分。

21. 以下是模为 60 的 8421BCD 码加法计数器, 请按要求完成下列程序。

```
module count60(qout,cout,data,load,reset,clk)
```

```
input load,clk,reset;
```

```
input [7:0] data;
```

```
output reg [7:0] qout;
```

```
output cout;
```

```
assign cout=(qout==8'd59)?1:0;
```

① \_\_\_\_\_ //时钟上升沿计数

```
begin
```

```
if(reset)
```

```
qout<=0;
```

② \_\_\_\_\_ //同步 load 信号为高电平置数

```
qout<=data;
```

```
else
```

```
begin
```

③ \_\_\_\_\_ //判断 qout 低 4 位是否为 9

```
begin
```

```
qout[3:0]<=0;
```

```
if(qout[7:4]==5)
```

④ \_\_\_\_\_ //qout 高 4 位清零

```
else
```

```
qout[7:4]<=qout[7:4]+1;
```

```
end
```

```
else
```

⑤ \_\_\_\_\_ //qout 低 4 位加 1 递增

```
end
```

```
end
```

```
endmodule
```

22. 设计一个共阴极 BCD 码-7 段数码管译码器, 请按要求完成下列程序。

```
module decode(a,b,c,d,e,f,g,data_bcd);
```

① \_\_\_\_\_ //定义位宽为 4 位的输入变量 data\_bcd

```
output reg a,b,c,d,e,f,g;
```

② \_\_\_\_\_ //定义译码敏感列表

```
begin
```

```
case(data_bcd)
```

```
4'd0:{a,b,c,d,e,f,g}=7'b1111110;
```

③ \_\_\_\_\_ //输出数字 1

```
4'd2:{a,b,c,d,e,f,g}=7'b1101101;
```

```
4'd3:{a,b,c,d,e,f,g}=7'b1111001;
```

④ \_\_\_\_\_ //输出数字 4

```
4'd5:{a,b,c,d,e,f,g}=7'b1011011;
```

```
4'd6:{a,b,c,d,e,f,g}=7'b1011111;
```

```
4'd7:{a,b,c,d,e,f,g}=7'b1110000;
```

```
4'd8:{a,b,c,d,e,f,g}=7'b1111111;
```

```
4'd9:{a,b,c,d,e,f,g}=7'b1111011;
```

⑤ \_\_\_\_\_ //其余默认输出字母 E

```
endcase
```

```
end
```

```
endmodule
```

四、名词解释题：本大题共 5 小题，每小题 3 分，共 15 分。

23. IP 复用
24. JTAG BST
25. FPGA
26. 阻塞赋值
27. 综合

五、简答题：本大题共 4 小题，每小题 5 分，共 20 分。

28. 简述 TOP-DOWN 设计的 5 个步骤。
29. 简述 CPLD 和 FPGA 的结构区别。
30. 简述任务(task)和函数(function)的区别。
31. 简述在 Quartus II 中创建工程的步骤。

六、程序设计：本大题共 3 小题，每小题 10 分，共 30 分。

32. 用 Verilog 编写一个 3 人表决器，实现少数服从多数功能。输入为  $a[2:0]$ ，输出为 `pass`，当输入多数为 1 时，输出为 1。
33. 请写出一个带异步复位功能的 8 位串并转换器的 Verilog 代码。输入串行数据为 `data`，并行输出为  $z[7:0]$ ，复位信号为 `rst`，当低电平时输出清零，转换时钟为 `clk`，当上升沿时，串行数据从依次从并行数据的低位输入。
34. 设计一个 60 进制同步置数，异步清零的计数器，时钟为 `clk`，置数信号 `set` 低电平有效，清零信号 `rst` 低电平有效，数据输入端为 `din`，进位输出信号为 `c`，计数输出为 `q`。