



13. 下列不属于循环语句的是

- A. for
- B. repeat
- C. while
- D. case

14. 按操作数的个数分类, 语句 out=sel?a:b 涉及到哪种运算符

- A. 单目
- B. 双目
- C. 三目
- D. 四目

15. Verilog 程序如下所示, f 输出对应的逻辑函数是

```
module aoi(a,b,c,d,f);
input a,b,c,d;
output f;
assign f= ~((a&b) | (~(c&d)));
endmodule
```

- A.  $\overline{ab+cd}$
- B.  $\overline{ab}+cd$
- C.  $\overline{\overline{ab+cd}}$
- D.  $\overline{ab+cd}$

二、多项选择题: 本大题共 5 小题, 每小题 2 分, 共 10 分。在每小题列出的备选项中至少有两项是符合题目要求的, 请将其选出, 错选、多选或少选均无分。

16. 下列哪些 PLD 采用与或阵列结构

- A. PROM
- B. PLA
- C. PAL
- D. CPLD
- E. FPGA

17. 下列哪些编程元件采用浮栅技术

- A. 熔丝型开关
- B. Flash
- C. SRAM
- D. EPROM
- E. EEPROM

18. 下列标识符中, 合法的有

- A. AB
- B. 3bc
- C. posedge
- D. Posedge
- E. AB\*

19. 下列常数, 语法正确的有

- A. 8'b1100\_0011
- B. 8'b1100001x
- C. 8'b1100 0011
- D. 6'b11000011
- E. 'b11000011

20. 下列语句可以在 always 中执行的有

- A. if-else
- B. case
- C. while
- D. assign
- E. initial

## 第二部分 非选择题

三、程序填空题: 本大题共 2 小题, 每小题 5 分, 共 10 分。

21. 以下是一个带异步清零、异步置 1 的 JK 触发器, clk 上升沿触发, rs 低电平复位, set 低电平置 1。请在空白处补充程序, 以完成相应的功能。

```
module jkff_rs(clk,j,k,q,rs, set);
input clk,j, k, set,rs;
_____ ① _____ //输出 q 为 reg 类型
_____ ② _____ //敏感信号列表
begin
    if(!rs) q<=1'b0;
    _____ ③ _____ //set 低电平时置 1
    _____ ④ _____ //case 语句
    2'b00:q<=q;
    2'b01:q<=1'b0;
    2'b10:q<=1'b1;
    2'b11:q<=~q;
    _____ ⑤ _____ //其它情况输出 x
endcase
end
endmodule
```

22. 已知 74161 功能表如下表所示。其中进位  $C = ET \cdot Q[3] \cdot Q[2] \cdot Q[1] \cdot Q[0]$ 。

74161 功能表

CP	RDN	LDN	EP	ET	工作状态
×	0	×	×	×	异步清 0
	1	0	×	×	同步置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (C=0)
	1	1	1	1	计数

请在空白处补充程序，以完成相应的功能。

```

module counter74161(Q,C,CP,RDN,LDN,EP,ET,D);
output reg[3:0]Q;
output C;
input CP,RDN,LDN,EP,ET;
input[3:0] D;
_____ ① _____ //CP 上升沿触发，注意 RDN 低电平异步清零
begin
_____ ② _____ //复位条件
Q=4'b0000;
_____ ③ _____ //置数条件
Q=D;
_____ ④ _____ //正常计数条件
Q=Q+1'b1;
else f(!EP)
Q=Q;
end
_____ ⑤ _____ //给进位 C 赋值
endmodule

```

四、名词解释题：本大题共 5 小题，每小题 3 分，共 15 分。

23. CPLD
24. ASIC
25. JTAG
26. 关键字
27. 布局布线

五、简答题：本大题共 4 小题，每小题 5 分，共 20 分。

28. 仿真分为哪两种？有何区别？
29. 简述在 Quartus II 中，波形仿真包含哪些步骤。
30. 描述逻辑功能的基本方法有哪些？
31. Verilog HDL 允许设计者用哪三种方式来描述逻辑电路？

六、程序设计：本大题共 3 小题，每小题 10 分，共 30 分。

32. 用 Verilog 设计一个带使能端的 7 段数码管译码器。输出端 OUT 位宽为 7。输入端 IN 位宽为 4，用于输入 BCD 码。使能端为 EN。当 EN 为高电平时正常译码，当 EN 为低电平时，译码输出为全 1。七段数码管的显示代码如下表所示。

BCD 输入	显示代码
0	1000000
1	1111001
2	0100100
3	0110000
4	0011001
5	0010010
6	0000010
7	1111000
8	0000000
9	0010000
其它	0001110

33. 编写一个简易饮料售卖机程序。假定一瓶饮料价格 3 元。投币机可投入面值 5 元或 1 元纸币，分别用两个输入端 A、B 表示两种纸币的投入数量，A、B 用位宽为 3 位的二进制数表示。输出 C 表示所投钞票最多可购买的饮料数量。找零是 1 元纸币，用 D 表示找零数量。C 和 D 用 4 位二进制数表示。投入纸币后，按下按键，EN 出现一个上升沿，开始启动售货并自动找零，亦即设置 C 和 D 的值。
34. 编写程序把输入端 A 输入的有符号二进制原码，转换为补码输出，输出端为 B。A、B 的位宽为 8 位。如果原码最高位为 0，则是正数，补码与其相同。如果原码最高位为 1，则是负数，转换为补码，最高位不变，其它位按位取反再加 1 即可。