

2021年10月高等教育自学考试全国统一考试

数字系统设计与 PLD 应用技术

(课程代码 10783)

注意事项:

1. 本试卷分为两部分, 第一部分为选择题, 第二部分为非选择题。
2. 应考者必须按试题顺序在答题卡(纸)指定位置上作答, 答在试卷上无效。
3. 涂写部分、画图部分必须使用 2B 铅笔, 书写部分必须使用黑色字迹签字笔。

第一部分 选择题

一、单项选择题: 本大题共 15 小题, 每小题 1 分, 共 15 分。在每小题列出的备选项中只有一项是最符合题目要求的, 请将其选出。

1. 下列选项中, 不属于常用的 EDA 软件工具是

A. 逻辑综合器	B. 输入工具
C. 仿真器	D. 编译器
2. 大部分 FPGA 采用的结构是

A. ROM	B. 查找表
C. 乘积项	D. 宏单元
3. 已知 $A=3'b100, B=3'b101$, 则 $A\&\&B$ 结果为

A. 3'b110	B. 3'b100
C. 0	D. 1
4. 阻塞赋值语句的操作符是

A. >=	B. =
C. ==	D. <=
5. 在 Verilog HDL 中, 声明 b 是一个 4 位寄存器类型变量的语句是

A. reg [4:0] b	B. reg [3:0] b
C. wire[4:0] b	D. wire [3:0] b
6. 已知 $c=1'b1, a=4'b1001, b=4'b0111$, d 的位宽为 4 位, 若 $d=(c)?a:b$, 则 d 的值为

A. 4'b0111	B. 4'b1001
C. 0	D. 1

7. 已知 $a=5'b11001, b=5'b10101$, 则 $a\sim b$ 的结果是

A. 5'b10011	B. 0
C. 5'b11001	D. 1
8. 在 Verilog HDL 中, 声明上升沿触发事件的关键词是

A. posedge	B. clk
C. negedge	D. always
9. 若 $a=5'b11101$, 则 $a<<2$ 的结果是

A. 5'b01100	B. 5'b11101
C. 5'b10101	D. 5'b10100
10. 若干相同宽度的向量构成数组, $reg[7:0] mymemory[255:0]$ 定义的存储器存储容量是

A. 7 位	B. 8 位
C. 255×8 位	D. 256×8 位
11. 下列选项中, 不属于网络型的变量是

A. wor	B. wire
C. integer	D. wand
12. 在 Verilog HDL 中, 定义任务所用的关键词是

A. module--endmodule	B. table--endtable
C. function--endfunction	D. task--endtask
13. 不属于 Verilog HDL 预定义的逻辑门是

A. and	B. xor
C. or	D. no
14. 设 $A=8'b11010001$, 则 $\&A=$

A. 1'b1	B. 1'b0
C. 8'b11010001	D. 8'b00101110
15. 按照运算符所带操作数的个数来区分, 以下不属于 Verilog HDL 的运算符是

A. 单目运算符	B. 双目运算符
C. 三目运算符	D. 四目运算符

二、多项选择题: 本大题共 5 小题, 每小题 2 分, 共 10 分。在每小题列出的备选项中至少有两项是符合题目要求的, 请将其选出, 错选、多选或少选均无分。

16. 模块的 I/O 说明用来声明模块端口定义中各端口数据流动方向包括

A. 输入	B. 输出
C. 寄存	D. 三态
E. 双向	

17. 数据类型可以取值的逻辑状态有

- A. 0
- B. 1
- C. 地
- D. 高阻
- E. 未知

18. 下列 Verilog 标识符中, 非法的标识符有

- A. begin
- B. 4adder
- C. shifer
- D. count12
- E. in*

19. Verilog 中的常量的类型主要有

- A. 整数
- B. 浮点数
- C. 字符串
- D. 实数
- E. 小数

20. Verilog HDL 模型是实际电路不同级别的抽象, 可以分为

- A. 系统级
- B. 算法级
- C. 寄存器传输级
- D. 硬件级
- E. 门级

第二部分 非选择题

三、程序填空题: 本大题共 2 小题, 每小题 5 分, 共 10 分。

21. 按要求完成移位寄存器程序填空。

```
module rlshift(q,d,lod,clk,clr,s,dir,dil);  
    input [7:0] d;  
    input lod,clk,clr,s,dir,dil;  
    output [7:0] q;  
    ① _____; //声明输出信号 q 为 reg 类型  
    always @(posedge clk)  
    begin  
        if (~clr)  
            ② _____; //q 清零  
        else if (lod)  
            ③ _____; //外部输入数据 d 送给 q  
        else if (s) begin  
            ④ _____; //实现右移操作  
            q[7] = dir; end  
    end  
endmodule
```

```
        else begin  
            q = q << 1;  
            ⑤ _____; //外部输入 dil 送给 q 最低位。  
        end  
    end  
endmodule
```

22. 常用组合电路 138 译码器程序如下, 完成填空。

```
module CT74138(A0,A1,A2,S1,S2N,S3N,YN0,YN1,YN2,YN3,YN4,YN5,YN6,YN7);  
    ① _____; //将 A0,A1,A2,S1,S2N,S3N 声明为输入管脚  
    output YN0,YN1,YN2,YN3,YN4,YN5,YN6,YN7;  
    reg YN0,YN1,YN2,YN3,YN4,YN5,YN6,YN7;  
    reg[7:0] YS;  
    always  
    begin  
        if (S1 & ~S2N & ~S3N)  
            begin  
                ② _____; //多分支 case 语句  
                'b000 : YS = 'b11111110;  
                'b001 : YS = 'b11111101;  
                'b010 : YS = 'b11111011;  
                ③ _____; //其中一个分支  
                'b100 : YS = 'b11101111;  
                'b101 : YS = 'b11011111;  
                'b110 : YS = 'b10111111;  
                'b111 : YS = 'b01111111;  
                ④ _____; //缺省项, 输出全部为无效电平 1  
            endcase  
            end  
        else YS = 'b11111111;  
        ⑤ _____; //YS 送到输出管脚 YN0,YN1,YN2,YN3,YN4,YN5,YN6,YN7  
    end  
endmodule
```

四、名词解释题: 本大题共 5 小题, 每小题 3 分, 共 15 分。

- 23. FPGA
- 24. 功能仿真

25. JTAG
26. IP 核
27. HDL

五、简答题：本大题共 4 小题，每小题 5 分，共 20 分。

28. FPGA 和 CPLD 结构有什么差别，以及不同特点？
29. Quartus II 设计开发流程包括哪些步骤？
30. Verilog 支持哪几种描述方式，各有什么特点？
31. 简述 Verilog HDL 中，net 型和 Variable 型的区别？

六、程序设计：本大题共 3 小题，每小题 10 分，共 30 分。

32. 试用 Verilog HDL 设计一个三人表决器程序，三个输入 a,b,c，1 表示同意，0 表示反对，一个输出 f，1 表示表决通过，0 表示表决没有通过。
33. 设计一个数据选择器，D7~D0 是 8 位数据输入端，A2~A0 是地址输入端，Y 是数据输出端，STN 是使能控制输入端。低电平有效，当输入无效电平时，Y 输出固定为 1，在设计中还增加了反相数据输出端 WN，即 WN 是 Y 的反相输出。
34. 设计一个十进制同步计数器（异步清除）。D3、D2、D1 和 D0 是并行数据输入端；CP 是时钟输入端，上升沿有效；Q3、Q2、Q1 和 Q0 是计数器的状态输出端；CRN 是异步复位输入端，低电平有效，当 CRN=0 时，计数器的状态被复位（清除），Q3Q2Q1Q0=0000；LDN 是预置控制输入端，低电平有效，当 LDN=0 且 CP 到来一个上升沿时，计数器被预置为并行数据输入的状态，即 Q3Q2Q1Q0= D3D2D1D0；EP 和 ET 是使能控制输入端，高电平有效，当 EP 和 ET 均为高电平时，计数器工作，否则计数器处于保持状态（不计数）；OC 是进位输出端，当 Q3Q2Q1Q0=1001 且 ET=1 时，OC=1。