

2020年8月高等教育自学考试全国统一考试

## 数字系统设计与 PLD 应用技术

(课程代码 10783)

## 注意事项:

1. 本试卷分为两部分, 第一部分为选择题, 第二部分为非选择题。
2. 应考者必须按试题顺序在答题卡(纸)指定位置上作答, 答在试卷上无效。
3. 涂写部分、画图部分必须使用 2B 铅笔, 书写部分必须使用黑色字迹签字笔。

## 第一部分 选择题

一、单项选择题: 本大题共 15 小题, 每小题 1 分, 共 15 分。在每小题列出的备选项中只有一项是最符合题目要求的, 请将其选出。

1. 对以下 Verilog 代码: `if(a) out<=int1;` 解释正确的是
 

A. 当 $a=0$ 时执行 <code>out&lt;=int1</code>	B. 当 $a=1$ 时执行 <code>out&lt;=int1</code>
C. 当 $a \neq 0$ 时执行 <code>out&lt;=int1</code>	D. 当 $a \neq 1$ 时执行 <code>out&lt;=int1</code>
2. Verilog 中, 当没有说明数字位宽时, 默认的位宽值为
 

A. 8 位	B. 16 位
C. 32 位	D. 64 位
3. Verilog 中, 以下符号优先级最高的是
 

A. +	B. *
C. !	D. <=
4. Verilog 程序的基本设计单元是
 

A. 函数	B. 算法
C. 任务	D. 模块
5. Verilog 语言中, 若  $a=4'b1001$ , 则 `&a` =
 

A. $4'b1011$	B. $4'b1111$
C. $1'b1$	D. $1'b0$
6. Verilog 中, 下列标识符不合法的是
 

A. <code>_state</code>	B. <code>9moon</code>
C. <code>mode0</code>	D. <code>STart_1</code>

7. Verilog 语言中, 已知  $A=4'b0000$ ,  $B=4'b0101$ , 则 `A||B` =
 

A. $4'b0000$	B. $1b'1$
C. $4'b0101$	D. $1b'0$

8. 已知  $in=0$ ,  $q1=1$ ,  $q2=2$ ,  $q3=3$ , 经过以下 Verilog 代码处理后,  $q3=$

```
always @ (negedge clk)
begin
    q1=in;
    q2=q1;
    q3=q2;
end
```

- |      |      |
|------|------|
| A. 0 | B. 1 |
| C. 2 | D. 3 |
9. 在 Verilog 中, 将较高级抽象层次的设计描述转化为较低层次描述的过程称为
 

A. 设计输入	B. 布局布线
C. 仿真	D. 综合
  10. Quartus II 软件自带有三个主要的宏模块库, 分别是 Megafuncions 库、Primitives 库和
 

A. Maxplus1 库	B. Maxplus2 库
C. Maxplus3 库	D. Maxplus4 库
  11. Verilog 中构成时序电路最基本的器件是
 

A. 触发器	B. 加法器
C. 与或阵列	D. 查找表
  12. Verilog 程序中, 必须将复位信号放在敏感信号列表中的是
 

A. 异步复位	B. 同步复位
C. 高电平复位	D. 低电平复位
  13. 在 Verilog 的 case 语句中, 处理有限状态机多余状态的分支是
 

A. if	B. else
C. default	D. begin
  14. 在 Verilog 中, 已知  $a=4'b1100$ ,  $b=4'bx110$ , 则以下运算结果正确的是
 

A. <code>a&amp;&amp;b=1</code>	B. <code>b&amp;&amp;a=x</code>
C. <code>a&amp;b=0</code>	D. <code>b&amp;a=x</code>
  15. CPLD 的重要组成部分, 由可编程的与阵列和固定的或阵列构成的是
 

A. I/O 控制块	B. 连线阵列
C. 组合逻辑块	D. 宏单元



四、名词解释题：本大题共 5 小题，每小题 3 分，共 15 分。

23. Top-down 设计
24. 流水线(Pipeline)
25. 结构描述
26. net 型数据
27. 有限状态机

五、简答题：本大题共 4 小题，每小题 5 分，共 20 分。

28. 请简要说明基于查找表的 PLD 器件的结构和工作原理。
29. 请简要说明一个模块包括哪些部分，并指出最核心的是哪一部分。
30. 请简要说明基于 QuartusII 进行 EDA 设计开发的流程。
31. 请简要说明级连加法器的结构特点和缺点。

六、程序设计：本大题共 3 小题，每小题 10 分，共 30 分。

32. 试用 Verilog 语言设计一个带标志位的 24 进制加法计数器，要求：
  - 1) 该模块具有同步复位功能，复位信号低电平有效；
  - 2) 时钟上升沿有效；
  - 3) 计数器计满后，标志位置 1，否则标志位置 0。
33. 请编写一段 Verilog 程序，完成如下功能：现有一个长度为 64 字的存储器，每个字 8 位，请以字为单位，按逆序交换存储器的内容，即第 0 个字与第 63 个字交换，第 1 个字与第 62 个字交换，依次类推。
34. 请设计一个 Verilog 减法模块，实现两个 4 位二进制数相减的功能，要求：
  - 1) 输出值为非负数；
  - 2) 时钟上升沿到来或输入有变化就进行计算。

