

机密★启用前

2020年10月高等教育自学考试全国统一考试

数字系统设计与 PLD 应用技术

(课程代码 10783)

注意事项:

1. 本试卷分为两部分, 第一部分为选择题, 第二部分为非选择题。
2. 应考者必须按试题顺序在答题卡(纸)指定位置上作答, 答在试卷上无效。
3. 涂写部分、画图部分必须使用 2B 铅笔, 书写部分必须使用黑色字迹签字笔。

第一部分 选择题

一、单项选择题: 本大题共 15 小题, 每小题 1 分, 共 15 分。在每小题列出的备选项中只有一项是最符合题目要求的, 请将其选出。

1. PROM 和 CPLD 可以编程的阵列分别为
A. 与阵列, 与阵列 B. 与阵列, 或阵列
C. 或阵列, 与阵列 D. 或阵列, 或阵列
2. Quartus II 是哪个公司推出的 FPGA/CPLD 集成开发软件
A. Lattice B. Altera
C. Synopsys D. Xilinx
3. 以下哪种操作不是基于 Quartus II 进行 FPGA 开发的必须步骤
A. 创建工程 B. 选择目标器件
C. 编译 D. 为当前文件生成元件符号
4. 在 Verilog HDL 中, 模块声明的关键词是
A. task B. negedge
C. module D. posedge
5. 以下变量类型中, 哪种不可以综合
A. real B. integer
C. reg D. wire
6. 若 $A=8'b10110001$, 执行 $A>>2$ 之后的值为
A. $8'b11000100$ B. $8'b01101100$
C. $8'b11101100$ D. $8'b00101100$

数字系统设计与 PLD 应用技术试题 第 1 页 (共 5 页)

7. 若有 `output[3:0] out; assign out=8'b1100_0101;` 则 out 的值为
A. $4'b1100$ B. $4'b0101$
C. $4'b0000$ D. $4'b1111$
8. 已知 $A=4'b1101$, $B=4'b0001$, 则 $A\&\&B$ 的结果是
A. $1'b1$ B. $1'b0$
C. $4'b1101$ D. $4'b0001$
9. 以下运算符, 优先级最高的是
A. ?: B. %
C. << D. ~
10. 以下不属于 Verilog HDL 四种逻辑之一的是
A. 0 B. 1
C. Y D. Z
11. 如果 $A=6'b110101$, 则 $\sim A$ 的结果是
A. $1'b1$ B. $1'b0$
C. $6'b001010$ D. $6'b110101$
12. 如果 $A=4'b1010$, $B=4'b1001$, A 和 B 运算之后的值是 $4'b0011$, 则这种运算是
A. 按位与 B. 按位或
C. 按位同或 D. 按位异或
13. 在 verilog 中, 上升沿触发的关键字为
A. upedge B. risedge
C. posedge D. negedge
14. 关于条件语句, 下列说法错误的是
A. 条件语句应该放在 always 块里面
B. if 语句可以多重嵌套
C. 在 case 语句中, 不管敏感表达式取值如何, default 分支一定会执行
D. 条件语句应该列出所有分支, 否则可能引入隐含的锁存器
15. 在下列程序中, 给出了几种硬件, 以下模块被综合后可能是
`always@(negedge clock)`
`if(A)`
`C=B;`
A. 不能综合 B. 一个上升沿触发的数据选择器
C. 一个上升沿触发的锁存器 D. 一个带使能端的下降沿触发器

数字系统设计与 PLD 应用技术试题 第 2 页 (共 5 页)

二、多项选择题：本大题共 5 小题，每小题 2 分，共 10 分。在每小题列出的备选项中

至少有两项是符合题目要求的，请将其选出，错选、多选或少选均无分。

16. 关于 CPLD 和 FPGA，以下说法错误的有

- A. CPLD 每次上电都要重新配置
- B. CPLD 通过与或阵列来实现逻辑函数
- C. CPLD 只能实现组合逻辑函数
- D. FPGA 使用 SRAM 存储函数值
- E. Cyclone 系列芯片属于 FPGA

17. 以下整数常量写法正确的有

- A. 8'b1111_0000
- B. 8'b11001010
- C. -15
- D. 4'd-2
- E. 8'b1001zzzz

18. 已知 sel=1'b1，以下操作能实现 out 的值为 a 的包括

- A. out=sel?a:b
- B. out=(sel==1)?a:b
- C. out=(sel==1'h1)?a:b
- D. out=(sel==1'b1)?a:b
- E. out=(sel===1'b1)?a:b

19. 下列关于任务与函数的说法，正确的有

- A. 函数可以将 inout 类型作为输出
- B. 函数只能在过程赋值语句中使用
- C. 任务不向表达式返回值
- D. 任务不能包含 wait 语句
- E. 任务可以调用其它任务和函数

20. 以下 verilog 行为语句，不能综合的有

- A. initial
- B. case
- C. for
- D. while
- E. assign

第二部分 非选择题

三、程序填空题：本大题共 2 小题，每小题 5 分，共 10 分。

21. 以下程序是一位 BCD 码加法器，请把程序填写完整。

```
module add4_bcd(cout,sum,ina,inb,cin);
```

```
input cin;
```

```
① _____ //定义两个输入端 ina、inb，位宽为 4
```

```
output[3:0] sum;
```

```
② _____ //声明 sum 为 reg 类型，位宽为 4
```

```
output cout;
```

```
reg cout;
```

```
reg[4:0] temp;
```

```
always @③ _____ //敏感信号列表
```

```
begin temp<=④ _____ //实现加法
```

```
if(temp>9) {cout,sum}<=temp+6;
```

```
else ⑤ _____ //给 cout、sum 赋值
```

```
end
```

```
endmodule
```

22. 以下程序是用 case 语句描述的 4 选 1 数据选择器，请把程序填写完整。

```
module mux4_1(out,in0,in1,in2,in3,sel);
```

```
output reg out;
```

```
input in0,in1,in2,in3;
```

```
① _____ //声明输入端口 sel，位宽为 2
```

```
always @② _____ //敏感信号列表
```

```
③ _____ //case 语句，敏感表达式为 sel 信号
```

```
2'b00: out=in0;
```

```
2'b01: out=in1;
```

```
2'b10: out=in2;
```

```
④ _____ //当 sel 为 11 时给 out 赋值
```

```
default: out=1'bx;
```

```
⑤ _____ //case 语句结束关键字
```

```
endmodule
```

四、名词解释题：本大题共 5 小题，每小题 3 分，共 15 分。

23. 综合

24. IP 核

25. EDA

26. FPGA

27. ASIC

五、简答题：本大题共 4 小题，每小题 5 分，共 20 分。

28. 简述数字系统使用 PLD 实现和使用 ASIC 实现的区别？

29. 简述阻塞赋值和非阻塞赋值的区别。

30. 简述 Quartus II 环境下，波形仿真的基本步骤。

31. 简述基于 FPGA/CPLD 器件的数字系统设计流程。

六、程序设计：本大题共 3 小题，每小题 10 分，共 30 分。

32. 以下是一个带使能端的数值比较器的功能表。en 为使能端，高电平有效，en 为低电平时输出高阻态。a 和 b 为数据输入端，larg、equ、less 为数值比较结果的输出端。

试使用 always 语句编程实现所需功能。

en	a	b	larg	equ	less
0	x	x	z	z	z
1	0	0	0	1	0
1	0	1	0	0	1
1	1	0	1	0	0
1	1	1	0	1	0

33. 设计一个带使能端和异步清零端的 10 进制计数器（计数范围从 0000~1001）。q 为计数输出，位宽为 4。c 为进位信号，计数输出为 1001 时输出高电平 1，否则输出低电平 0。时钟为 clk，上升沿有效。clr 为异步清零端，低电平有效。en 为使能端，高电平有效，如果 clk 上升沿到来且无清零信号时，en 为高电平则加 1 计数，否则保持不变。

34. 已知一个考试分数范围是 0~100 分，分数为整数。如果输入分数不在 0~100 范围，OUT 输出为 000；如果分数为 90~100 分，OUT 输出为 001；80~89 分 OUT 输出为 010，70~79 分 OUT 输出为 011，60~69 分 OUT 输出为 100，0~59 分 OUT 输出为 101。已知输入端端口名为 IN，位宽为 8，输出端端口名为 OUT，位宽为 3。试编程实现以上功能。