

机密★启用前

2021年4月高等教育自学考试全国统一考试

数字系统设计与 PLD 应用技术

(课程代码 10783)

注意事项:

1. 本试卷分为两部分, 第一部分为选择题, 第二部分为非选择题。
2. 应考者必须按试题顺序在答题卡(纸)指定位置上作答, 答在试卷上无效。
3. 涂写部分、画图部分必须使用 2B 铅笔, 书写部分必须使用黑色字迹签字笔。

第一部分 选择题

一、单项选择题: 本大题共 15 小题, 每小题 1 分, 共 15 分。在每小题列出的备选项中只有一项是最符合题目要求的, 请将其选出。

1. 用查找表实现一个 3 人表决电路, 该查找表至少需要存储单元个数是
A. 8
B. 4
C. 3
D. 16
2. JTAG 接口不包含的功能是
A. 编程下载
B. 芯片测试
C. 在线调试
D. 存储数据
3. 关于使用 Quartus II 进行 FPGA/CPLD 开发, 以下说法错误的是
A. 一般应将顶层实体名设为与工程名相同
B. Quartus II 自带综合器和仿真器
C. 在仿真前应该先编辑输出信号波形
D. 为当前原理图生成元件符号之后可供其它原理图调用
4. 在 Verilog HDL 中, 声明输入端口的关键字是
A. in
B. input
C. inout
D. IN
5. 按位取反的运算符是
A. ~
B. !
C. ^
D. ^~

6. Verilog HDL 语言不包括的运算符是

- A. 单目运算符
B. 双目运算符
C. 三目运算符
D. 四目运算符

7. 若 $a=4'b1001$, $b=4'b1100$, 则结果正确的运算是

- A. $a\&b=1'b0$
B. $a\&b=4'b1000$
C. $a|b=1'b1$
D. $a|b=4'b1111$

8. 若 $a=4'b1010$, 则!a 的结果是

- A. 1'b1
B. 1'b0
C. 4'b1010
D. 4'b0000

9. Verilog 语言内部已经使用的词称为关键字或保留字, 下列哪一个不属于关键字

- A. wire
B. reg
C. out
D. assign

10. 关于 Verilog 的整数, 以下说法正确的是

- A. 当数字不说明位宽时, 默认的位宽为 8
B. 当数字不说明位宽时, 默认的位宽为 16
C. 如果定义的位宽比实际的位宽小, 则截取左边的位
D. 如果定义的位宽比实际的位宽小, 则截取右边的位

11. 如果 $a=4'b1100$, $b=4'b1001$, $c=4'b1111$, 定义 $reg[3:0]d$; 则执行 $d=1a?b:c$ 的结果是

- A. 1'b1
B. 1'b0
C. 4'b1001
D. 4'b1111

12. 如下程序描述的电路是

```
module exam(q,d,rst,clock);  
input d,rst,clock;  
output q;  
reg q;  
always @(posedge clock or negedge rst)  
    if(~rst)  
        q<=0;  
    else  
        q<=d;  
endmodule
```

- A. 同步复位 D 触发器
B. 异步复位 D 触发器
C. 同步复位锁存器
D. 异步复位锁存器

13. 下列 Verilog HDL 语句中, 哪个不是循环语句
 A. while B. forever
 C. repeat D. fork-join
14. begin-end 块里面的语句和 fork-join 块里面的语句执行方式分别是
 A. 串行, 并发 B. 串行, 串行
 C. 并发, 串行 D. 并发, 并发
15. 以下 Verilog 设计层次中, 抽象层次最低的是
 A. 开关级 B. 算法级
 C. 门级 D. RTL 级

二、多项选择题: 本大题共 5 小题, 每小题 2 分, 共 10 分。在每小题列出的备选项中至少有两项是符合题目要求的, 请将其选出, 错选、多选或少选均无分。

16. 下列用户定义的标识符中, 有语法错误的有
 A. a_b B. 4b
 C. _1\$ D. a\$b
 E. b3_*
17. 已知 a=4'b1010, b=4'b0101, 以下哪些操作的结果等于 4'b1001
 A. {a[3:2],b[3:2]} B. {a[3:2],b[1:0]}
 C. {a[2:1],b[2:1]} D. {a[1:0],b[3:2]}
 E. {2{a[3:2]}}
18. 以下运算符属于位运算符的有
 A. ! B. ~
 C. & D. |
 E. ^
19. 下列语句在 Verilog HDL 中, 不是条件语句的有
 A. assign B. casez
 C. case D. always
 E. if-else
20. 以下程序描述的是同步置数、同步清零的计数器, 请指出程序错误的位置有

```
module count(out,data,load,reset,clk);
output[7:0] out;
wire[7:0] out;                      //①
input[7:0] data;                      //②
input load,clk,reset;
```

```
always @(posedge clk or reset)                      //③
begin
if(~reset) out=8'h00;                      //④
else if(!load) out=data;
else out=out++;                      //⑤
end
endmodule
```

A. ①错误 B. ②错误
 C. ③错误 D. ④错误
 E. ⑤错误

第二部分 非选择题

三、程序填空题: 本大题共 2 小题, 每小题 5 分, 共 10 分。

21. 已知 JK 触发器的功能表如下

J	K	功能
0	0	保持
0	1	置 0
1	0	置 1
1	1	翻转

以下是用 case 语句描述的下降沿触发 JK 触发器, 请把程序填写完整。

```
module jk_ff(clk,j,k,q);
① _____ //声明输入端口: clk,j,k
output reg q;
always @② _____ //敏感信号表达式, clk 下降沿触发
begin
③ _____ //case 语句, j、k 拼接作为敏感表达式
④ _____ //当 j、k 分别为 00 时, 给 q 赋值
2'b01:q<=1'b0;
2'b10:q<=1'b1;
⑤ _____ //当 j、k 分别为 11 时, 给 q 赋值
endcase
end
endmodule
```

22. 以下是用函数和 case 语句描述的 8 输入编码器, 请把程序填写完整。

```

module coder8_3(din,dout);
input [7:0] din;
① _____ //声明输出端口 dout, 位宽为 3
② _____ //声明一个名为 code 的函数, 位宽为 3
input [7:0] din;
③ _____ //case 语句, din 为敏感表达式
    8'b1xxx_xxxx:code=3'h7;
    8'bx1xx_xxxx:code=3'h6;
    8'bxx1x_xxxx:code=3'h5;
    8'bxxx1_xxxx:code=3'h4;

    8'bxxxx_1xxx:code=3'h3;
    8'bxxxx_x1xx:code=3'h2;
    8'bxxxx_xx1x:code=3'h1;
    ④ _____ //当输入为 8'bxxxx_xxx1 时给函数赋值
endcase
endfunction
⑤ _____ //使用 assign 语句, 调用函数 code 给 dout 赋值
endmodule

```

四、名词解释题: 本大题共 5 小题, 每小题 3 分, 共 15 分。

- 23. CPLD
- 24. ISP
- 25. 布局布线
- 26. SoPC
- 27. Top-down 设计

五、简答题: 本大题共 4 小题, 每小题 5 分, 共 20 分。

- 28. 简述 FPGA 的查找表结构原理。
- 29. 简述 Quartus II 环境下, 创建工程及原理图输入的基本步骤。
- 30. 简述功能仿真和时序仿真的定义。
- 31. 简述 Verilog 模块的结构。

六、程序设计: 本大题共 3 小题, 每小题 10 分, 共 30 分。

32. 已知补码定义: 如果原码是正数 (最高位为 0) 则补码跟原码相同。如果原码是负数 (最高位为 1), 补码是: 最高位不变, 其它位取反之后再加 1。输入是 8 位的二进制原码, 编写程序求出相应的补码。输入端口统一命名为 A, 输出端口统一命名为 B, 位宽都是 8 位。

33. 已知 4 位二进制可逆计数器功能如下。

cp	ldn	sn	updown	d	q	功能
x	0	x	x	d	q=d	置数
上升沿	1	1	x	x	q=q	保持
上升沿	1	0	0	x	q=q+1	加计数
上升沿	1	0	1	x	q=q-1	减计数

输出端说明: q 为计数输出, 位宽是 4。

输入端说明: cp、ldn、sn、updown、d 是输入端, 其中 d 位宽是 4, 其它输入端位宽都是 1。

功能说明:

- ①当 ldn 是 0 时不管输入端 cp、sn、updown 是何值, 功能是置数, 即输出 q 等于输入 d。
- ②当 ldn、sn 都是 1 时, 并且 CP 有上升沿, 不管其它输入端是何值, 输出保持不变。
- ③当 ldn 是 1, sn 是 0, 并且 cp 有上升沿到来时, 不管 d 为何值, 如果 updown 为 0 则作加 1 计数, 如果 updown 为 1 则作减 1 计数。

请编程实现以上功能。

34. 已知电路图如下所示, 输出端口为 S、CO; 输入端口为 A、B、CI。用 Verilog 设计出该电路。

